

DIALOG(R)File 352:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

014374246     \*\*Image available\*\*

WPI Acc No: 2002-194949/200225

XRAM Acc No: C02-060177

XRPX Acc No: N02-148067

**Manufacture of semiconductor device by fixing chips onto substrate,  
covering the chips with common resin layer, gluing adhesive sheet onto  
the resin layer, cutting the substrate and resin layer, and measuring the  
device formed**

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL ); HYODO H (HYOD-I); IKETANI  
K (IKET-I); SHIBUYA T (SHIB-I); TANI T (TANI-I)

Inventor: HYODO H; IKETANI K; SHIBUYA T; TANI T

Number of Countries: 005    Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020004250	A1	20020110	US 2001900093	A	20010706	200225 B
JP 2002026182	A	20020125	JP 2000206305	A	20000707	200225
CN 1332471	A	20020123	CN 2001122829	A	20010709	200231
KR 2002005461	A	20020117	KR 200140228	A	20010706	200250
TW 492171	A	20020621	TW 2001109244	A	20010418	200323
US 6737285	B2	20040518	US 2001900093	A	20010706	200433

Priority Applications (No Type Date): JP 2000206305 A 20000707

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
US 20020004250	A1		18 H01L-021/66	
JP 2002026182	A		9 H01L-023/12	
CN 1332471	A		H01L-021/50	
KR 2002005461	A		H01L-023/28	
TW 492171	A		H01L-023/28	
US 6737285	B2		G01R-031/76	

Abstract (Basic): US 20020004250 A1

NOVELTY - Semiconductor device is made by fixing semiconductor  
chips onto a substrate, covering the chips with a common resin layer,

gluing an adhesive sheet onto the resin layer, cutting the substrate and resin layer in a state that the adhesive sheet is glued to the resin layer, and measuring the semiconductor devices in a state that the adhesive sheet is glued to the resin layer.

USE - Manufacture of a semiconductor device.

ADVANTAGE - The process provides a smaller mounting area by reducing the external size of a package without using lead forming so reducing manufacturing costs. The semiconductor chips can be processed while integrally supported by the adhesive sheet and need not be separated into individual semiconductor devices until they are stored in a carrier tape. The process gives high productivity.

DESCRIPTION OF DRAWING(S) - The figure is a cross-section of a device during the process.

Substrate (21)

External electrodes (31)

Semiconductor chips (33)

Resin layer (35)

pp; 18 DwgNo 5B/14

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; FIX; CHIP; SUBSTRATE; COVER; CHIP; COMMON; RESIN; LAYER; GLUE; ADHESIVE; SHEET; RESIN; LAYER;

CUT; SUBSTRATE; RESIN; LAYER; MEASURE; DEVICE; FORMING

Derwent Class: A85; G03; L03; S01; U11

International Patent Class (Main): G01R-031/76; H01L-021/50; H01L-021/66; H01L-023/12; H01L-023/28

International Patent Class (Additional): G01R-031/26; H01L-021/301; H01L-021/44

File Segment: CPI; EPI

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.<sup>7</sup>

H01L 21/50

H01L 23/28

# [12] 发明专利申请公开说明书

[21] 申请号 01122829.6

[43] 公开日 2002 年 1 月 23 日

[11] 公开号 CN 1332471A

[22] 申请日 2001.7.9 [21] 申请号 01122829.6

[30] 优先权

[32] 2000.7.7 [33] JP [31] 206305/2000

[71] 申请人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 池谷浩司 谷孝行

涩谷隆生 兵藤治雄

[74] 专利代理机构 中国专利代理(香港)有限公司

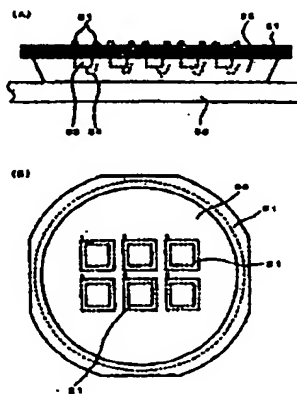
代理人 刘宗杰 叶恺东

权利要求书 1 页 说明书 8 页 附图页数 12 页

[54] 发明名称 半导体器件的制造方法

[57] 摘要

一种半导体器件的制造方法,可消除由于在传递模塑后从引线框分离为微小封装的单独的半导体器件,而在测定和捆扎时正反面的判断或者引线的位置等极其难以处理,作业性大幅度恶化这样的缺点。本发明在具有多个搭载部分的基板的该搭载部分的每一个上固定半导体芯片,用共同的树脂层把固定在上述各搭载部分的上述半导体的每一个覆盖了以后,使上述基板与上述树脂层搭接粘贴在粘合片上,通过在粘贴在上述粘合片上的状态下进行切割以及测定,具有在不分离为单独的半导体器件而被粘合片支撑为整体的状态下进行测定的特征。



ISSN 1008-4274

01.07.09

## 权 利 要 求 书

---

1. 一种半导体器件的制造方法，其特征在于：

5 在具有多个搭载部分的基板的该搭载部分的每一个上固定半导体芯片，用共同的树脂层把固定在上述各搭载部分的上述半导体芯片的每一个覆盖以后，使上述基板与上述树脂层搭接粘贴在粘合片上，在粘贴在上述粘合片上的状态下进行切割以及测定。

2. 如权利要求 1 中所述的半导体器件的制造方法，其特征在于：上述粘合片把周边固定在金属框上。

10 3. 如权利要求 2 中所述的半导体器件的制造方法，其特征在于：在上述粘合片上粘贴多个上述基板。

4. 一种半导体器件的制造方法，其特征在于：

15 在具有多个搭载部分的基板的该搭载部分的每一个上固定半导体芯片，用共同的树脂层把固定在上述各搭载部分的上述半导体芯片的每一个覆盖以后，使上述基板与上述树脂层搭接粘贴在粘合片上，在粘贴在上述粘合片上的状态下进行切割以及测定，进而把粘贴在上述粘合片上的半导体元件直接收容在承载带内。

5. 如权利要求 4 中所述的半导体器件的制造方法，其特征在于：上述粘合片把周边固定在金属框上。

20 6. 如权利要求 5 中所述的半导体器件的制造方法，其特征在于：在上述粘合片上粘贴着多个上述基板。

## 说明书

## 半导体器件的制造方法

## 技术领域

- 5 本发明涉及半导体器件的制造方法，特别是涉及用去引线缩小封装外形减少安装面积，能够大幅度降低成本的半导体器件的制造方法。

## 背景技术

- 10 在半导体器件的制造中，进行以下的工艺，把从晶片切割分离了的半导体芯片固定在引线框上，通过模具和树脂注入进行的传递模塑把固定在引线框上的半导体芯片密封，把被密封了的半导体芯片分离为一个个半导体器件。该引线框使用矩形或者环形的框，在每一种情况下都是在一次密封工艺中同时密封多个半导体器件。

- 15 图 12 示出传递模塑工艺。在传递模塑工艺中，把通过塑模粘合，线粘合固定了半导体芯片 1 的引线框 2 设置在由上下模具 3A、3B 形成的空腔 4 的内部，通过在空腔 4 内注入环氧树脂，进行半导体芯片 1 的密封。在这样的传递模塑工艺以后，把引线框 2 按照各个半导体芯片 1 切断，制造单独的半导体器件（例如特开平 05-129473 号）。

- 20 这时，如图 13 所示，在模具 3B 的表面设置多个空腔 4a~4f，用于输入树脂的树脂源 5，横浇口 6 以及用于从横浇口 6 向各个空腔 4a~4f 流入树脂的浇口 7。这些全部是设置在模具 3B 表面上的槽。如果是长方形的引线框，则在一个引线框上例如搭载 10 个半导体芯片 1，对应于一个引线框，设置 10 个空腔 4 和 10 个浇口 7 以及 1 个横浇口 6。而且，在模具 3 表面上例如设置与 20 个引线框相当的空腔 4。

- 25 图 14 示出通过上述的传递模塑制造的半导体器件。形成了晶体管等元件的半导体芯片 1 在引线框的岛 8 上由焊锡等焊料 9 固定安装，用线 11 连接半导体芯片 1 的电极焊盘与引线 10。半导体芯片 1 的周边部分由与上述空腔形状一致的树脂 12 覆盖，在树脂 12 的外部导出引线端子 10 的前端部分。

- 30 在以往的封装中，由于外部连接用的引线端子 10 从树脂 12 突出，因此必须把引线端子 10 至顶端部分的距离考虑安装面积，存在着安装面积远大于树脂 12 的外形尺寸这样的缺点。

另外，在以往的传递模塑技术中，由于在持续加入压力的状态下进行硬化，因此在横浇口 6 和浇口 7 中树脂硬化，残存在该横浇口 6 等中的树脂成为废弃处理部分。因此，在使用上述引线框的方法中，由于在要制作的半导体器件的每一个中设置浇口 7，因此存在着树脂的利用效率差，相对于树脂的数量能够制造的半导体器件的个数少这样的缺点。

进而，在传递模塑以后从引线框分离为微小封装的单独的半导体器件，因此存在着在测定或者捆扎时正反面的判断或者引线位置等极其难以处理，作业性大幅度恶化这样的缺点。

#### 10 发明内容

本发明是鉴于以上的问题而产生的，其目的在于提供一种可节约原材料、缩小安装面积、降低成本并可提高作业效率的半导体器件的制造方法。

15 本发明的特征在于在具有多个搭载部分的基板的该搭载部分的每一个上固定半导体芯片，用共同的树脂层把搭载在上述各搭载部分的上述半导体芯片的每一个覆盖了以后，使上述基板与上述树脂层搭接粘贴在粘合片上，在粘贴在上述粘合片上的状态下进行切割以及测定，由此不分离为单独的半导体器件而在用粘合片支撑为一体的状态下进行测定。

20 另外，在本发明中，特征在于在具有多个搭载部分的基板的该搭载部分的每一个上固定半导体芯片，用共同的树脂层把固定在上述各搭载部分的上述半导体芯片的每一个覆盖了以后，使上述基板与上述树脂层搭接粘贴在粘合片上，在粘贴在上述粘合片的状态下进行切割以及测定，进而，把粘贴在上述粘合片上的半导体器件直接收容在承载带上，由此直到收容在承载带上之前不分离为单独的半导体器件而  
25 可以在用粘合片支撑为一体状态下进行作业。

#### 附图说明

图 1 是用于说明本发明的制造方法的透视图。

图 2 是用于说明本发明的制造方法的 (A) 平面图 (B) 剖面图。

图 3 是用于说明本发明的制造方法的平面图。

30 图 4 是用于说明本发明的制造方法的剖面图。

图 5 是用于说明本发明的制造方法的 (A) 剖面图 (B) 平面图。

图 6 是用于说明本发明的制造方法的 (A) 剖面图 (B) 平面图。

图 7 是用于说明本发明的制造方法的 (A) 剖面图 (B) 平面图。

图 8 是用于说明本发明的制造方法的 (A) 剖面图 (B) 平面图。

图 9 是用于说明本发明的制造方法的 (A) 剖面图 (B) 平面图。

图 10 是用于说明本发明的制造方法的 (A) 平面图 (B) 剖面图

5 (C) 剖面图。

图 11 是用于说明本发明的制造方法的 (A) 透视图 (B) 透视图

图 12 是用于说明以往例的剖面图。

图 13 是用于说明以往例的平面图。

图 14 是用于说明以往例的剖面图。

## 10 发明的具体实施方式

以下详细地说明本发明的实施形态。

本发明的第 1 工艺如从图 1 至图 3 所示, 准备具有多个搭载部分的基板。

15 首先, 如图 1 所示, 准备排列了多个对应于 1 个半导体器件的搭载部分 20 的, 例如, 以 10 行 10 列纵横排列了 100 个的大块基板 21。基板 21 是由陶瓷或玻璃环氧等制成的绝缘基板, 它们把一片或者多片重叠起来, 具有总计板厚  $200 \sim 350 \mu\text{m}$  可以维持制造工艺中的机械强度的板厚。

20 在基板 21 的各个搭载部分 20 的表面上, 形成钨等金属胶的印刷和通过金的电镀形成的导电图形。另外, 在基板 21 的背面一侧, 形成作为外部连接电极的电极图形。

图 2(A) 是示出形成在基板 21 的表面的导电图形的平面图, 图 2 (B) 是基板 21 的剖面图。

25 用虚线包围的各个搭载部分 20 例如具有长边  $\times$  短边  $1.0\text{mm} \times 0.8\text{mm}$  的矩形形状, 它们相互隔开  $20 \sim 50 \mu\text{m}$  的间隔纵横地排列。上述间隔成为后述工艺中的切割线 24。导电图形在各个搭载部分 20 内形成岛形部分 25 和引线部分 26, 这些图形在各个搭载部分 20 内是相同形状。岛形部分 25 是搭载半导体芯片的位置, 引线部分 26 是与半导体芯片的电极焊盘线连接的位置。从岛形部分 25 以 2 条第 1 连接部分 27 连接了的图形延长。它们的线宽比岛形部分 25 窄, 例如以  $0.1\text{mm}$  线宽延长。第 1 连接部分 27 跨过切割线 24 与相邻的搭载部分 20 的引线部分 26 连接。进而, 从引线部分 26 各个第 2 连接部分 28 沿

着与第1连接部分27垂直的方向延伸，跨过切割线24与相邻的搭载部分20的引线部分26连接。第2连接部分28进而连接包围搭载部分20群的周围的共同连接部分29。这样通过第1和第2连接部分27、28延伸，把各个搭载部分20的岛形部分25与引线部分26电气地共同连接起来。这是为了在进行金等电镀时作为共同电极。

参照图2(B)，在绝缘基板21上，在每个搭载部分20中设置通孔30。通孔30的内部埋设钨等导电材料。而且，对应于各个通孔30，在背面一侧形成外部电极31。

图3是示出了从背面一侧观测基板21时外部电极31a~31d的图形的平面图。这些外部电极31a、31b、31c、31d从搭载部分20的边缘后退0.05~0.1mm左右，而且以各自独立的图形形成。尽管如此，在电气上经过各个通孔30连接到共同连接部分29。由此，在把导电图形作为一个电极的电镀法中，能够在所有的导电图形上形成镀金层。另外，横断切割线24能够只作成线宽窄的第1和第2连接部分27、28。

本发明的第2工艺如图4所示，是在搭载部分的每一个上固定半导体芯片，进行线连接。

形成了镀金层的基板21的各个搭载部分20，把半导体芯片33进行线粘合或者塑模粘合。半导体芯片33在岛形部分25的表面上由Ag胶等粘接剂固定，用各条线34连接半导体芯片33的电极焊盘与引线部分32a、32b。作为半导体芯片33，形成双极型晶体管，功率MOSFET等3端子的有源元件。搭载了双极型元件的情况下，连接在岛形部分25的外部电极31a、31b是集电极端子，连接在引线部分26的外部电极31c、31d成为基极·发射极电极。

其次，本发明的第3工艺如图5所示，用树脂层覆盖基板表面，用共同的树脂层覆盖固定在各个搭载部分的半导体芯片的每一个。

如图5(A)所示，从移动到基板21上方的调合器（未图示）滴下一定量的环氧系列液体树脂（浇注封装），用共同的树脂层35覆盖所有的半导体芯片33。例如，在一片基板21上搭载了100个半导体芯片33的情况下，把所有的100个半导体芯片33一起覆盖。作为上述液体树脂，使用例如CV576AN（松下电工制）。滴下的液体树脂由于粘度比较高，具有表面张力，因此其表面弯曲。



接着，如图 5 (B) 所示，把滴下的树脂层 35 通过 100 ~ 200℃，数小时的热处理（热化）使其硬化以后，通过磨削弯曲面把树脂层 35 的表面加工为平坦面。磨削使用切割装置，由切割刀片 36 切削树脂层 35 的表面使树脂层 35 的表面取齐并且从基板 21 高出一定的高度。在该工艺中，把树脂层 35 的膜厚形成为 0.3 ~ 1.0mm。平坦面扩张到其端部，使得在至少把位于最外侧的半导体芯片 33 分离为单独的半导体器件时，可以构成为标准化的封装尺寸的树脂外形。上述刀片中准备多种板厚的刀片，使用比较厚的刀片，通过反复进行切削，把总体形成平坦面。

另外，也可以考虑在把滴下的树脂层 35 硬化之前，在树脂层 35 的表面按压平坦的成形材料形成平坦而且水平的面，然后进行硬化的方法。

其次，本发明的第 4 工艺如图 6 所示，使树脂层 35 搭接到基板 21 上，粘贴粘合片 50。

如图 6 (A) 所示，把基板 21 反转，在树脂层 35 的表面上粘贴粘合片 50（例如，商品名称：UV 片，リンテック株式会社制）。通过在前面的工艺中把树脂层 35 表面加工成平坦而且对于基板 21 的表面为水平的面，因此即使粘贴在树脂层 35 一侧也能够使基板 21 不倾斜，维持其水平垂直的精度。

如图 6 (B) 所示，在去引线制环形金属框 51 上粘贴粘合片 50 的周边，在粘合片 50 的中央部分设置间隔粘贴 6 个基板 21。

其次，本发明的第 5 工艺如图 7 所示，从基板的背面一侧，在每个搭载部分，切割基板和树脂层，分离为一个半导体器件。

如图 7 (A) 所示，在每个搭载部分 20 切断基板以及树脂层 35 分离为各个半导体器件。切割使用切割装置的切割刀片 36，沿着切割线 24 同时切割树脂层 35 和基板 21，由此在每个搭载部分 20 形成分割了的半导体器件。在切割工艺中上述切割刀片 36 以达到粘合片 50 的表面的切削深度进行切割。这时，在切割装置一侧能够从基板 21 的背面一侧自动识别能够观测的标记（例如，形成在基板 21 的周边部分的贯通孔或者镀金层的一部分），以其作为基准进行切割。另外，电极图形 31a, 31b, 31c, 31d 或者岛形部分 25 采用不接触切割刀片 36 的图形设计。其目的是因为镀金层的切断性比较差，因而尽量防止

产生镀金层毛边。从而，切割刀片 36 与镀金层接触的部分仅是以导电为控制目的的第 1 和第 2 连接部分 27，28。

如图 7(B) 所示，周边粘贴在金属框 51 上的粘合片 50 上所粘贴的多片基板 21 按照每一片识别切割线 24，用切割装置沿着纵方向  
5 的各条切割线 24 进行分离，接着把金属框 51 旋转 90 度沿着行方向  
的各条切割线 24 进行分离。通过切割被分离了的各个半导体器件用粘接剂以其原来的状态粘贴到粘合片 50 上，而不是被单个散乱地分离。

其次，本发明第 6 工艺如图 8 所示，进行被一体地支撑在粘合片 50 上的各个半导体器件特性的测定。

10 如图 8(A) 所示，在从被一体地支撑在粘合片 50 上的各个半导体器件的基板 21 露出到背面一侧的外部电极 31a~31d 上接触探针的针 52，单个测定各个半导体器件的特性参数进行优良与不良的判断，在不良品上用磁性墨水作标记。

15 如图 8(B) 所示，在金属框 51 上粘贴着多片基板 21，由于在切割工艺的状态下支撑着单个的半导体器件，因此通过把金属框 51 沿着纵方向和横方向仅送出 1 个半导体器件的尺寸，就能够极其容易地大量地进行。即，可以不需要半导体器件正反面的判断以及外部电极的发射极，基极，集电极等的类别的判断。

20 进而，本发明的第 7 工艺如图 9 所示，直接把一体地支撑在粘合片 50 上的各个半导体器件 40 收容在承载带 41 上。

如图 9(A) 所示，一体地支撑在粘合片 50 上的测试完毕的各个半导体器件 40 仅识别优良品，通过吸附筒夹 53 从粘合片 50 脱离而收容到承载带 41 的收容孔内。

25 如图 9(B) 所示，由于在金属框 51 上粘贴着多片基板 21，在切割的状态下支撑单个半导体器件 40，因此在向承载带 41 收容时可以使金属框 51 仅移动到所需要的半导体器件 40 的位置，能够以所需要的最小限度的动作进行，因此能够极其容易地而且大量地进行。

30 图 10 示出在本工艺中使用的承载带的 (A) 平面图 (B) AA 线剖面图 (C) BB 线剖面图。带本体 41 是膜厚 0.5~1.0mm，宽度 6~15mm，长度数十 m 的带形的部件，材料是瓦楞纸板那样的纸。在带本体 41 上以一定的间隔穿设贯通孔 42。另外，形成用于以一定的间隔送出带本体 41 的送进孔 43。该贯通孔 42 和送进孔 43 通过模具冲压

加工形成。带本体 41 的膜厚与贯通孔 42 的尺寸设计成能够收容要捆扎的电子部件 40 的大小。

在带本体 41 的背面一侧，粘贴透明薄膜形的第 1 条带 44 并且堵塞贯通孔 42 的底部。在带本体 41 的表面一侧，同样粘贴透明薄膜形的第 2 条带 45 并且堵塞贯通孔 43 的上部。第 2 条带 45 以侧面部分附近的粘贴部分 46 与带本体 41 粘贴。另外，第 1 条带 44 也在与第 2 条带 45 相同的位置与带本体 41 粘贴。这些粘贴从薄膜上部通过用具有对应于粘贴部分 46 的加热部分的加热部件热压进行，这是通过两者都拉引薄膜而能够剥离的状态下的粘贴。

最后，图 11 是示出根据上述的工艺完成的各半导体器件的透视图。在封装周围 4 侧面由树脂层 35 和基板 21 的剖面形成，封装的上面由平坦化的树脂层 35 的表面形成，封装的下面由绝缘基板 21 的背面一侧形成。

该半导体器件的长×宽×高具有例如 1.0mm×0.6mm×0.5mm 这样的大小。在基板 21 上面覆盖 0.5mm 左右的树脂层 35 密封半导体芯片 33。半导体芯片 33 具有大约 150μm 左右的厚度。岛形部分 25 与引线部分 26 从封装的端面后退，仅第 1 与第 2 连接部分 27、28 的切断部分露出到封装侧面。

外部电极 31a~31d 在基板 21 的 4 个角，以 0.2×0.3mm 左右的大小排列，对于封装外形的中心线以成为左右（上下）相对的图形排列。这种对称排列由于难以进行电极的极性判断，因此最好是在树脂层 35 的表面一侧形成或者印刷凹部等，刻印表示极性的标记。

由上述制造方法形成的半导体器件由于汇集多个元件用树脂封装，因此与一个个封装的情况相比较，能够减少无用的树脂材料，降低材料费。另外，由于不使用引线框，因此与以往的传递模塑方法相比较，能够大幅度减小封装外形。进而，由于外部连接用的端子形成在基板 21 的背面，并且不从封装外形突出，因此能够大幅度减小装置的安装面积。

进而，上述制造方法不是在基板 21 一侧而是在树脂层 35 一侧粘贴粘合片 50 进行切割。例如粘贴在基板 21 一侧的情况下，在剥离元件时粘合片 50 的粘接剂附着在电极图形 31a~31d 的表面。如果在这种粘接剂残留的状态下把元件投入到自动安装装置中，则具有使安装

时的电极图形 31a~31d 的焊接特性恶化的危险。另外，还有在电极图形 31a~31d 表面粘附灰尘的危险。而如果依据本发明，通过粘贴在树脂层 35 一侧能够消除这些弊端。

5 进而，在树脂层 35 一侧粘贴粘合片 50 时，通过把树脂层 35 的表面加工成水平而且平坦的面，能够维持与在基板 21 一侧粘贴粘合片 50 时相同的垂直水平精度。

另外，在上述实施例中说明了密封 3 端子元件形成 4 个外部电极的例子，而例如在密封 2 个半导体芯片或者密封集成电路的情况下也同样能够加以实施。

#### 10 发明效果

如果依据本发明，则第 1，由于在用树脂层覆盖了以后，把周边粘贴在金属框上的粘合片上粘贴多片基板以后，能够在其状态下进行从切割工艺以及测定工艺，因此能够实现尽管是微小的封装构造但仍然极富大量生产性的半导体器件的制造方法。

15 第 2，由于在把周边粘贴在金属框的粘贴片上所粘贴的多个基板的状态下直接进行向承载带的收容，因此即使各个半导体器件是微小封装也能够进行基板状态下的处理，能够实现极其富有大量生产性的半导体器件的制造方法。

20 第 3，由上述制造方法形成的半导体器件由于汇集多个元件用树脂进行封装，因此与一个个进行封装的情况相比较，能够减少无用的树脂材料，降低材料费。另外，由于不使用引线框，因此与以往的传递模塑方法比较，能够大幅度减小封装外形。进而，由于在基板的背面形成外部连接用的端子，不从封装的外形突出，因此能够大幅度地减小装置的安装面积。因而能够提供充分考虑了环境的产品。

25 第 4，如果依据本发明则由于不使用引线框，因此能够实现不需要传递模塑装置，进而不需要在该装置中使用的每个封装形状的模具这样的节省资源型的生产线。

30 第 5，由于从切割工艺到测定工艺、捆扎工艺能够以固定在金属框上的粘合片进行处理，因此在该期间的制造中所使用的夹具类仅金属框就可以满足，能够实现生产线的缩短，并且还能够用一个制造装置连续地进行从切割到捆扎。

01.07.09

# 说明书附图

---

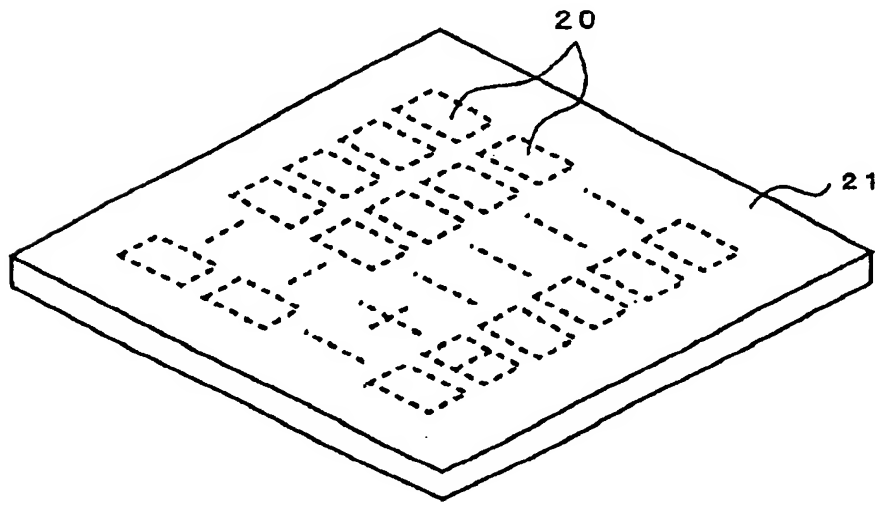
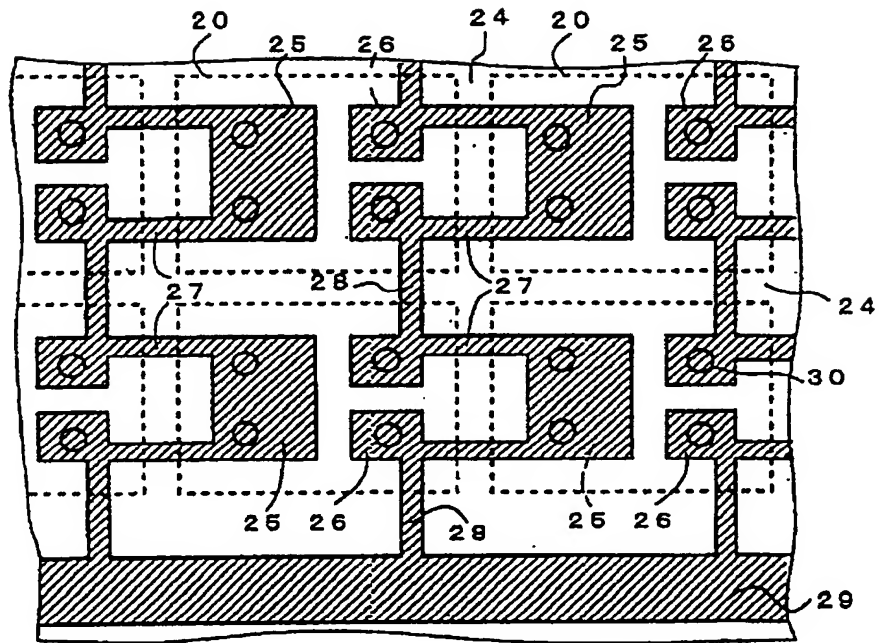


图 1

01.07.09

(A)



(B)

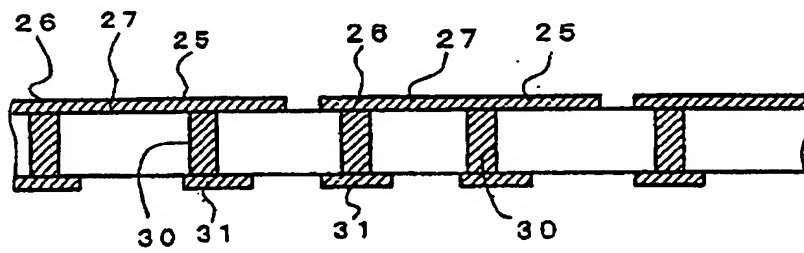


图 2

(A)

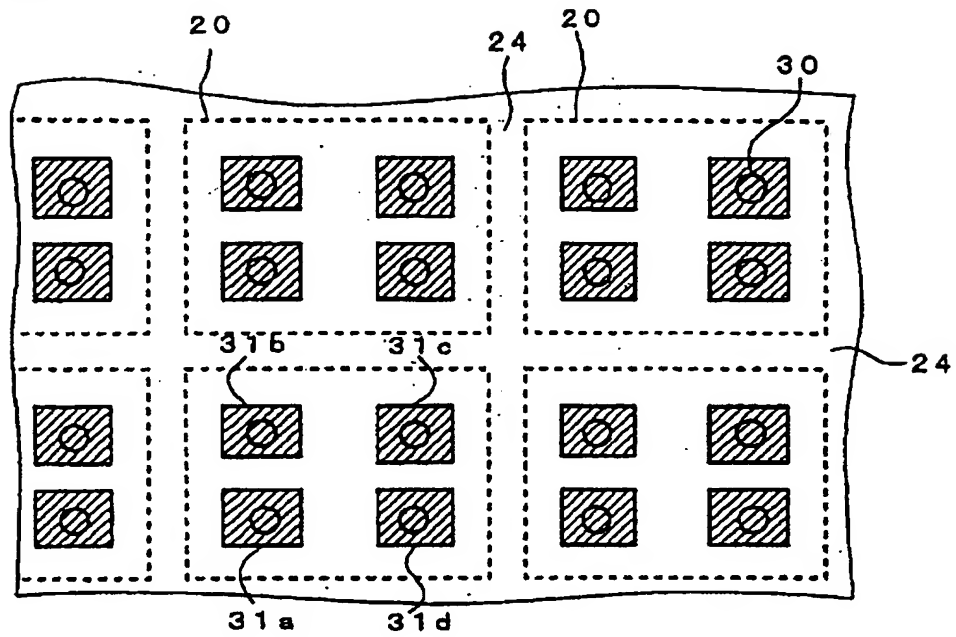


图 3

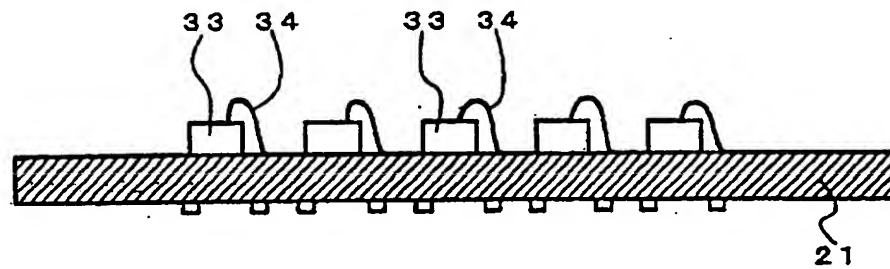


图 4

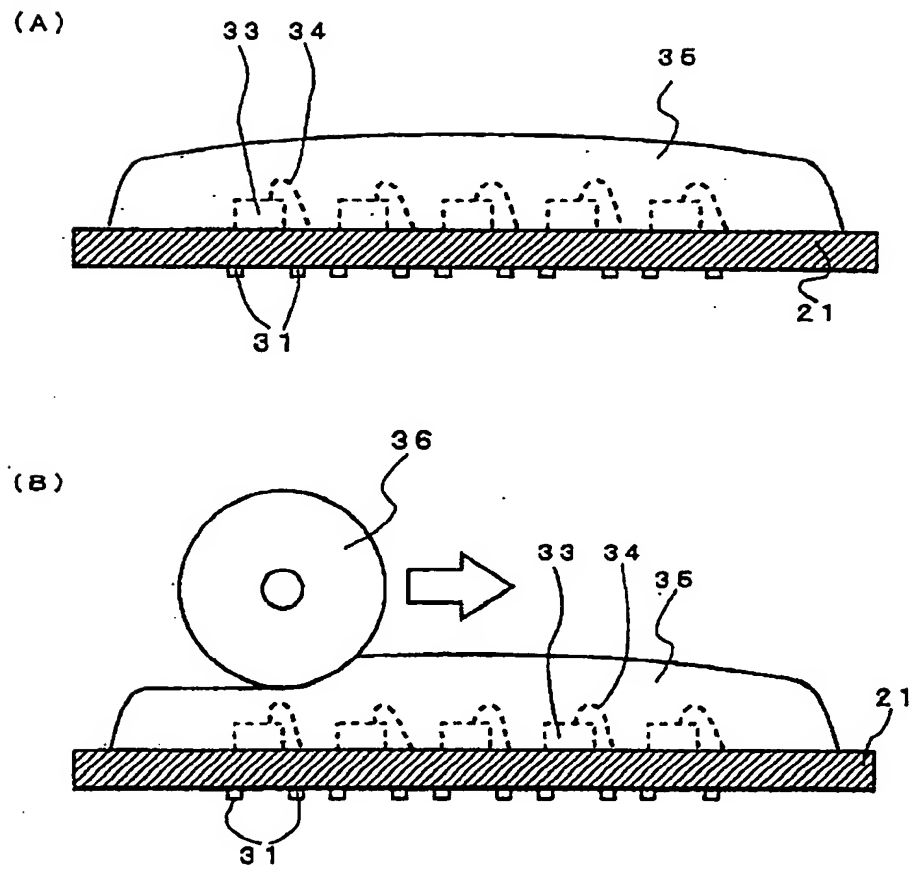


图 5



01.07.09

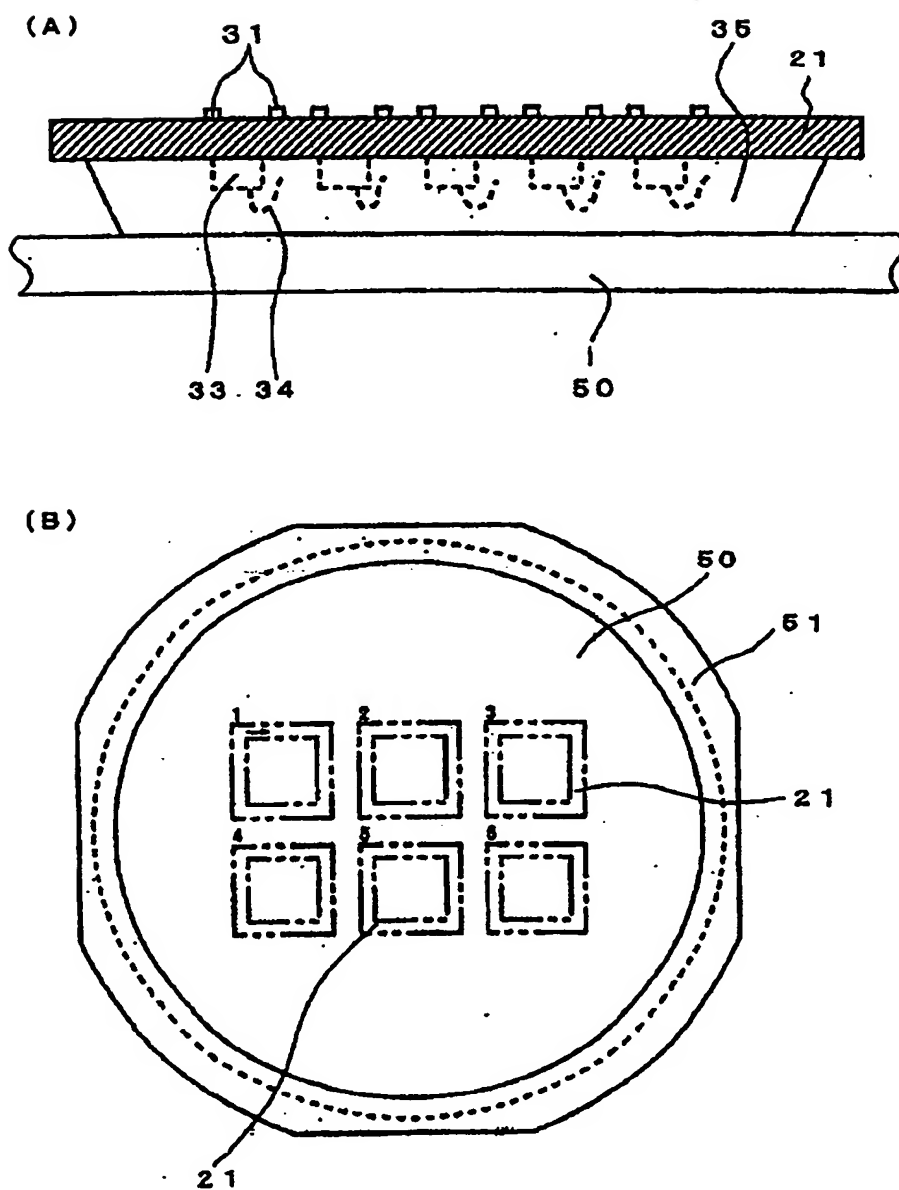
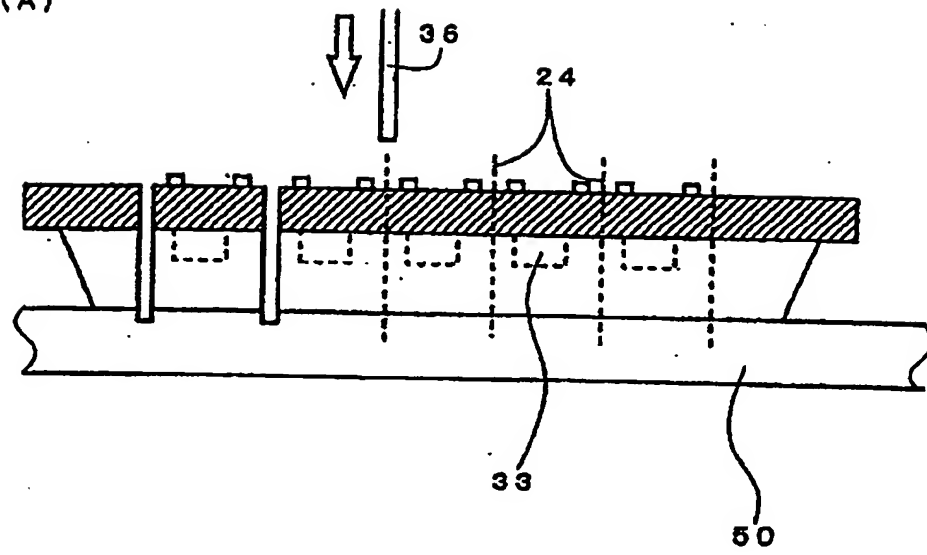


图 6

01.07.09

(A)



(B)

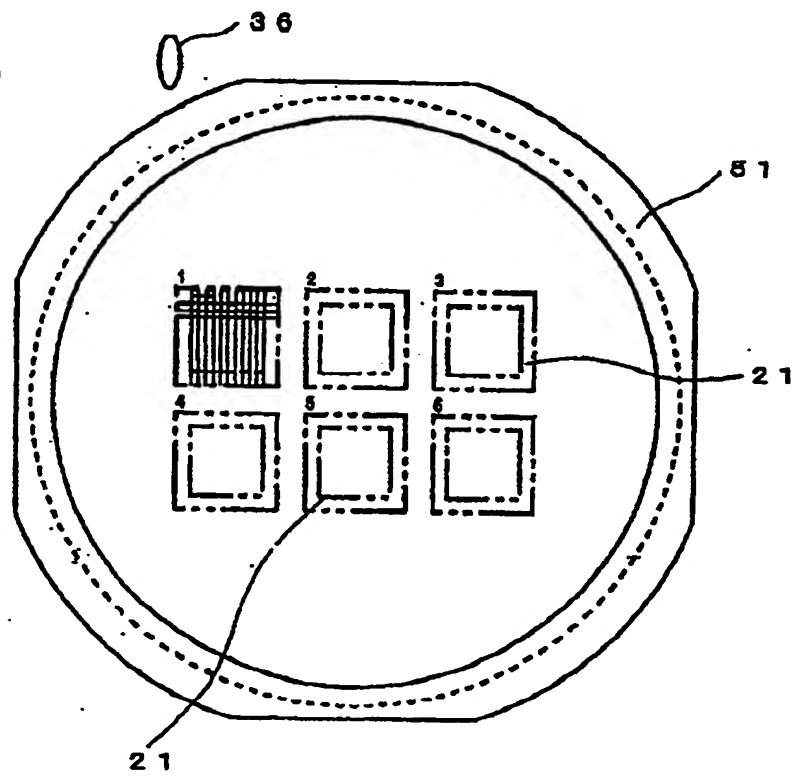


图 7